

CLIPPEDIMAGE= JP405341730A

PAT-NO: JP405341730A

DOCUMENT-IDENTIFIER: JP 05341730 A

TITLE: DRIVING METHOD FOR ACTIVE MATRIX TYPE THIN FILM
TRANSISTOR LIQUID
CRYSTAL PANEL

PUBN-DATE: December 24, 1993

INVENTOR-INFORMATION:

NAME

TOYAMA, HIROSHI

TOKURA, KAZUO

SUGANO, HIROMASA

NAKAMURA, YUKIO

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP04144655

APPL-DATE: June 5, 1992

INT-CL (IPC): G09G003/36;G02F001/133

ABSTRACT:

PURPOSE: To attain low withstanding voltage for a switching driver, of a drain bus line and a gate bus line.

CONSTITUTION: Picture element electrodes group arranged in the direction of a gate bus line connected to one of gate bus lines 11 via a thin film transistor 13 are corresponded to two counter electrodes 15 which are alternately different, the counter electrodes 15 is provided by number of 2 times of all gate bus lines, and a circuit which switches VCOM voltage supplied to each counter electrode 15 is provided, and each counter

THIS PAGE BLANK (USPTO)

electrode 15 is arranged facing with all picture element electrodes 14. Voltage data which varies synchronizing with writing timing of the corresponding gate bus lines 11 and includes polarity data, offset voltage of liquid crystal cells, and compensation voltage of effective voltage is supplied, also polarity of voltage data supplied to a drain bus line 12 is different in the adjacent drain bus line 12, polarity of voltage data is reversed in a line period, and voltage data of positive polarity and negative polarity are supplied as reversed information each other.

COPYRIGHT: (C)1993, JPO&Japio

THIS PAGE BLANK (USPTO)



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05341730 A**(43) Date of publication of application: **24.12.93**

(51) Int. Cl.

**G09G 3/36
G02F 1/133**(21) Application number: **04144655**(22) Date of filing: **05.06.92**(71) Applicant: **OKI ELECTRIC IND CO LTD**(72) Inventor:
**TOYAMA HIROSHI
TOKURA KAZUO
SUGANO HIROMASA
NAKAMURA YUKIO****(54) DRIVING METHOD FOR ACTIVE MATRIX TYPE
THIN FILM TRANSISTOR LIQUID CRYSTAL
PANEL**

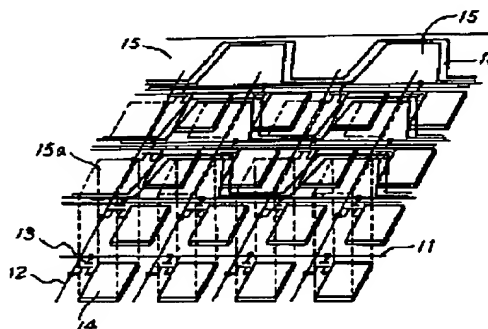
information each other.

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To attain low withstanding voltage for a switching driver, of a drain bus line and a gate bus line.

CONSTITUTION: Picture element electrodes group arranged in the direction of a gate bus line connected to one of gate bus lines 11 via a thin film transistor 13 are corresponded to two counter electrodes 15 which are alternately different, the counter electrodes 15 is provided by number of 2 times of all gate bus lines, and a circuit which switches VCOM voltage supplied to each counter electrode 15 is provided, and each counter electrode 15 is arranged facing with all picture element electrodes 14. Voltage data which varies synchronizing with writing timing of the corresponding gate bus lines 11 and includes polarity data, offset voltage of liquid crystal cells, and compensation voltage of effective voltage is supplied, also polarity of voltage data supplied to a drain bus line 12 is different in the adjacent drain bus line 12, polarity of voltage data is reversed in a line period, and voltage data of positive polarity and negative polarity are supplied as reversed



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 3 4 1 7 3 0

(43) 公開日 平成 5 年 (1993) 12 月 24 日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G09G 3/36		7319-5G		
G02F 1/133	550	7408-2K		

審査請求 未請求 請求項の数 4 (全 10 頁)

(21) 出願番号 特願平 4 - 1 4 4 6 5 5
(22) 出願日 平成 4 年 (1992) 6 月 5 日

(71) 出願人 0 0 0 0 0 2 9 5
沖電気工業株式会社
東京都港区虎ノ門 1 丁目 7 番 1 2 号
(72) 発明者 遠山 広
東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電
気工業株式会社内
(72) 発明者 戸倉 和男
東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電
気工業株式会社内
(72) 発明者 菅野 裕雅
東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電
気工業株式会社内
(74) 代理人 弁理士 清水 守 (外 2 名)

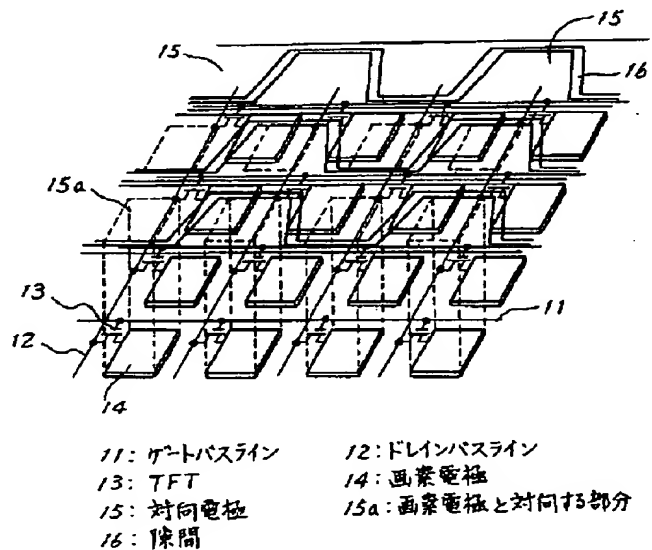
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型薄膜トランジスタ液晶パネルの駆動方法

(57) 【要約】

【目的】 ドレインバスライン及びゲートバスラインのスイッチングドライバの低耐電圧化を達成する。

【構成】 1 個のゲートバスライン 11 に薄膜トランジスタ 13 を介して接続されるゲートバスライン方向に並んだ画素電極群を交互に異なる 2 個の対向電極 15 に対応させ、その対向電極 15 を全ゲートバスライン数の 2 倍設け、各対向電極 15 に供給される V_{cc} 電圧をスイッチングする回路を設け、各対向電極 15 を対応する画素電極 14 と対向配置させ、対応するゲートバスライン 11 の書き込みタイミングに同期して変動し、極性データ及び液晶セルのオフセット電圧及び実効電圧補正電圧を含む電圧データとして供給し、かつドレインバスライン 12 に供給される電圧データが、隣接するドレインバスライン 12 で極性が異なり、ライン周期に該電圧データが極性反転し、正極性と負極性の該電圧データが互いに反転された情報として供給する。



11: ゲートバスライン 12: ドレインバスライン
13: TFT 14: 画素電極
15: 対向電極 15a: 画素電極と対向電極部分
16: 隙間

【特許請求の範囲】

【請求項 1】 背面基板上に直交配置されるゲートバスラインとドレインバスラインを設け、前記ゲートバスラインとドレインバスラインの交点に各画素電極に対応して薄膜トランジスタを設け、前面基板に透明な対向電極を設け、前記背面基板と前面基板の表面に適当な方向に配向処理された配向膜を設け、両基板の配向膜同士を、液晶層を介して対向配置させ貼り合わせ、かつ前記背面基板と前面基板の背面に偏光膜を貼り付けたアクティブマトリクス型薄膜トランジスタ液晶パネルの駆動方法において、

前記対向電極をゲートバスライン数の 2 倍に分割し、1 つのゲートバスラインに薄膜トランジスタを介して接続されるライン方向に並んだ画素電極群を 2 つの異なる対向電極に対して交互に対応させて、対向配置させ、各対向電極に該対向電極と対応するゲートバスラインの書き込みタイミングに同期して電圧変動させるためのスイッチング素子を設け、隣接するドレインバスラインで極性が異なり、ライン周期に該電圧データが極性反転し、かつ正極性と負極性の電圧データが互いに反転された電圧を示す電圧信号を、各ドレインバスラインに供給し、各対向電極に対応する画素電極群の極性データ及び液晶の閾値電圧に相当するオフセット電圧を含む電圧信号を各対向電極に供給し、ゲートバスラインの選択信号により画素電極に電圧信号による書き込みを行うことを特徴とするアクティブマトリクス型薄膜トランジスタ液晶パネルの駆動方法。

【請求項 2】 前記ドレインバスラインに供給される電圧信号の極性反転により変動する画素電極の平均変動電圧分を対応する対向電極に補正電圧として供給することを特徴とする請求項 1 記載のアクティブマトリクス型薄膜トランジスタ液晶パネルの駆動方法。

【請求項 3】 前記画素電極と隣接するドレインバスラインとの間に存在する容量値 $C_{0,1}$ と $C_{0,2}$ を含むインピーダンス成分を等しくし、動作させることを特徴とする請求項 1 記載のアクティブマトリクス型薄膜トランジスタ液晶パネルの駆動方法。

【請求項 4】 各対向電極の画素電極と対向しない部分に対向電極材料より抵抗値の低い材料で構成した対向電極バスを設け、各対向電極に電圧信号を供給することを特徴とする請求項 1 記載のアクティブマトリクス型薄膜トランジスタ液晶パネルの駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス型薄膜トランジスタ液晶パネルの駆動方法に関するものである。

【0002】

【従来の技術】 従来、このような分野の技術としては、例えば、テレビジョン学会誌 Vol. 42, No.

1, P. 10~16 及び P. 23~29 に記載されるものがあった。従来、アクティブマトリクス型液晶パネル、特に薄膜トランジスタを利用したもの (TF-TLCD) の駆動方法は、その交流化方法の違いにより、数種類の異なった手法が用いられているが、電圧供給方法の概念は同様のものである。そこで代表的な例として、走査周期毎に交流化を行なう駆動方法 (以後、フレームモードという) について説明する。

【0003】 図 12 はかかる従来のアクティブマトリクス型薄膜トランジスタ液晶パネルの構成図、図 13 はその駆動タイミングチャートを示す。図に示すように、TF-TLCD は、一般に背面基板上にゲートバスライン 51 とドレインバスライン 52 を直交配置して、その交点に各画素電極に対応したスイッチング素子として薄膜トランジスタ (TFT) 53 を設け、前面基板上に透明な対向電極 54 を設け、両基板の表面に適当な方向に配向処理された配向膜を設け、両基板の配向膜を液晶層を介して対向配置させて貼り合わせ、かつ前面基板と背面基板の背面に、互いの偏光軸が平行あるいは垂直になるように偏光膜を貼り付けた構成にし、TFT 53 を介して供給される画素電極の電圧と対向電極 54 の電圧との電位差により、両電極に挟まれた部分の液晶 55 をスイッチングするものである。

【0004】 TFT のスイッチング手段として、ゲートバスライン 51 には走査回路 60 が、ドレインバスライン 52 にはデータ回路 70 が接続され、その TFT 53 のゲート選択信号として走査回路 60 から ON 電圧 $V_{G(ON)}$ 、OFF 電圧 $V_{G(OFF)}$ が、TFT 53 のドレイン選択及び輝度データ信号として、データ回路 70 から正極性の書き込み電圧 $V_{D(ON)}$ 、負極性の書き込み電圧 $V_{D(OFF)}$ が供給される。

【0005】 TFT 53 により書き込まれた画素電極の電圧 V_p は、図 13 に示すように、その電圧保持状態において、2 度の電圧変動を起こす。第 1 に TFT 53 のゲート選択信号が ON 状態から OFF 状態に変化する際に、前記選択信号が供給される TFT 53 に接続される画素電極の電圧 V_p は、該 TFT 53 の寄生容量 C_{p1} により、 ΔV_1 だけ変動する。

【0006】 第 2 にデータ信号が書き込み時の極性と反対の極性に変化する時に、画素電極とドレインバスライン 52 との間の電界効果によって ΔV_2 だけ変動する。このために、画素電極と対向電極との間の電位差が画素電極の電圧 V_p の変動に対して、正極性の書き込み時と負極性の書き込み時とで均等になるように対向電極に対して電圧 $V_{C(ON)}$ が供給される。

【0007】 図 14 に 2 枚の偏光膜の偏光軸を平行になるように貼り付けた構成にした場合の TN 液晶セルの電気-光学特性を示す。アクティブマトリクス型薄膜トランジスタ液晶パネルに使用される TN 液晶セルは、画素電極と対向電極との電位差に対して、光透過率が急激に

増加する閾値電圧 V_{th} と光透過率の変動が少なくなる飽和電圧 V_{sat} が存在し、 $V_{th} \sim V_{sat}$ の電圧範囲 ΔV においては、電圧変動が光透過率の変化を示す。このため、完全な ON 状態を達成するには、正極性においては $V_{th} < V_{sat} - V_{th}$ 、負極性においては $V_{th} < V_{sat} - V_{th}$ の電圧条件に設定し、完全な OFF 状態を達成するには、正極性においては $V_{th} > V_{sat} - V_{th}$ 、負極性においては $V_{th} > V_{sat} - V_{th}$ の電圧条件に設定することにより、液晶セルのスイッチングができるものである。

【0008】

【発明が解決しようとする課題】しかしながら、以上述べた駆動方法においては、画素電極にデータ信号が書き込まれてから、ドレインバスラインの電圧極性が反転するまでの時間が異なる場合、例えば走査回路によって選択される第 1 のゲートバスラインと第 N のゲートバスラインにそれぞれ TFT を介して接続される画素電極の電圧 V_{th} を比較すると、画素電極とドレインバスラインとの間の電界効果によって、 ΔV 、だけ電圧が変動する期間が異なるため、液晶層にかかる走査周期毎の平均実効電圧が異なり、光透過率の相違が発生する。

【0009】また、液晶層のスイッチングには、画素電極と対向電極との間に ΔV の電圧変動を発生させるだけで十分であるが、対向電極の電圧を固定し、画素電極の電圧を正極性と負極性に変動させるため、ドレインバスラインのドライバに $V_{th} \times 2$ ($(V_{th} + \Delta V) \times 2$ に相当) のスイッチング電圧が必要となり、 $\Delta V + V_{th} \times 2$ の電圧分だけ余分なスイッチング電圧が必要となり、ドライバの低耐圧化の障害となっていた。

【0010】本発明は、以上述べた液晶層にかかる走査周期毎の平均実効電圧のばらつきと、ドレインバスラインにかかる余分なスイッチング電圧 $V_{th} \times 2 + \Delta V$ を減少あるいは無くすために、1 個のゲートバスラインに TFT を介して接続されるゲートライン方向に並んだ画素電極群を交互に異なる 2 個の対向電極に対応させ、対向電極を全ゲートバスライン数の 2 倍設け、各画素電極を各対向電極と対向配置させる構成にし、隣接するドレインバスが異なる極性を示し、かつライン周期に極性が反転する交流化手法により、前記平均実効電圧のばらつきを無くし、また、各対向電極に各ゲートバスラインの選択周期に同期させてスイッチングして、全ての対向電極において同等の電圧レベルの 2 値の電圧を交互に供給し、かつドレインバスラインに供給される正極性と負極性のデータが互いに反転された情報として供給されるデータ構成にし、 V_{th} 、電圧の変動により書き込み電圧を補い、ドレインバスライン及びゲートバスラインのスイッチングドライバの低耐電圧化を達成する優れたアクティブマトリクス型薄膜トランジスタ液晶パネルの駆動方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、上記目的を達成するために、アクティブマトリクス型薄膜トランジスタ液晶パネルの駆動方法において、背面基板上に直交配置されるゲートバスラインとドレインバスラインを設け、前記ゲートバスラインとドレインバスラインの交点に各画素電極に対応して薄膜トランジスタを設け、前面基板に透明な対向電極を設け、前記背面基板と前面基板の表面に適当な方向に配向処理された配向膜を設け、両基板の配向膜同士を、液晶層を介して対向配置させ貼り合わせ、かつ前記背面基板と前面基板の背面に偏光膜を貼り付けたアクティブマトリクス型薄膜トランジスタ液晶パネルの駆動方法において、前記対向電極をゲートバスライン数の 2 倍に分割し、1 つのゲートバスラインに薄膜トランジスタを介して接続されるライン方向に並んだ画素電極群を 2 つの異なる対向電極に対して交互に対応させて、対向配置させ、各対向電極に該対向電極と対応するゲートバスラインの書き込みタイミングに同期して電圧変動させるためのスイッチング素子を設け、隣接するドレインバスラインで極性が異なり、ライン周期に該電圧データが極性反転し、かつ正極性と負極性の電圧データが互いに反転された電圧を示す電圧信号を、各ドレインバスラインに供給し、各対向電極に対応する画素電極群の極性データ及び液晶の閾値電圧に相当するオフセット電圧を含む電圧信号を各対向電極に供給し、ゲートバスラインの選択信号により画素電極に電圧信号による書き込みを行うようにしたものである。

【0012】

【作用】本発明によれば、上記したように、1 個のゲートバスラインに薄膜トランジスタを介して接続されるゲートバスライン方向に並んだ画素電極群を交互に異なる 2 個の対向電極に対応させ、対向電極を全ゲートバスライン数の 2 倍設け、各対向電極に供給される V_{th} 、電圧をスイッチングする回路を設け、各対向電極に対応する画素電極と対向配置させ、対応するゲートバスラインの書き込みタイミングに同期して変動し、極性データ及び液晶セルのオフセット電圧及び実効電圧補正電圧を含む電圧データとして供給し、かつドレインバスラインに供給される電圧データが、隣接するドレインバスで極性が異なり、ライン周期に該電圧データが極性反転し、正極性と負極性の該電圧データが互いに反転された情報として供給されるようにしたものである。

【0013】したがって、液晶セルの平均印加電圧の均一化と、ゲートバスライン及びドレインバスラインのスイッチングドライバの低耐電圧化を達成することができ、また、この駆動方法は、ドレインバスラインにアナログ電圧を入力した場合にも、同等の効果が得られるため、アクティブマトリクス型薄膜トランジスタ液晶パネルの階調駆動にも十分適用できる。

【0014】

【実施例】以下、本発明の実施例について図面を参照し

10

20

30

40

50

ながら詳細に説明する。図 1 は本発明の実施例を示すアクティブマトリクス型薄膜トランジスタ液晶パネルの概略斜視図、図 2 はそのアクティブマトリクス型薄膜トランジスタ液晶パネルの対向電極の構成を示す図である。

【0015】これらの図に示すように、透明な背面基板上に、ゲートバスライン 11 とドレインバスライン 12 とを直交して配置して、その交点に TFT 13 を設け、個別の表示セルに対応する透明な画素電極 14 に接続し、更に適当な方向に配向処理された配向膜を設ける。一方、透明な前面基板上に全ゲートバスライン数の 2 倍に分割された透明な対向電極 15 を設け、適当な方向に配向処理された配向膜を設け、両基板の配向膜同士を向かい合わせ、各対向電極 15 が対応するゲートバスライン 11 に TFT 13 を介して接続される全ての画素電極 14 と対向し、かつ該画素電極 14 以外の画素電極 14 と対向しないように位置合せし、両基板間に適当なギャップを設け、液晶を注入、封止し、両基板の露出面に互いの偏光軸が平行あるいは垂直になるように偏光膜を貼り付けたものである。15a は画素電極 14 と対向する部分を示している。

【0016】ここで、対向電極 15 は 1 つのゲートバスライン 11 に対して 2 つ設けられており、1 つのゲートバスライン 11 に TFT 13 を介して接続される画素電極群をライン方向に交互に異なる対向電極 15 に隙間 16 を設けて対応させている。このため、図 2 (a) のパターン構成にすると、対向電極 15 の信号電圧供給端と、もう一方の端の間の電気的抵抗値が増加し、両端間に表示ムラが認識できる程度の電位差が発生する場合がある。図 2 (b) のパターン構成においては、これを低減するために、電気的抵抗値の低いアルミニウム等で形成された対向電極バス 17 を設け、これを介して透明な対向電極 15 に電圧信号を供給するために、供給端ともう一方の端との間で電圧信号の電位差を小さくすることができる。

【0017】図 3 は本発明の実施例を示すアクティブマトリクス型薄膜トランジスタ液晶パネルの概略ブロック図、図 4 はそのアクティブマトリクス型薄膜トランジスタ液晶パネルのデータ回路の概略ブロック図、図 5 はそのアクティブマトリクス型薄膜トランジスタ液晶パネルのドレインバスに供給される電圧データのタイミングを示す図、図 6 はそのアクティブマトリクス型薄膜トランジスタ液晶パネルのコモン変動回路の概略ブロック図である。

【0018】これらの図に示すように、ゲートバスライン 11 に走査回路 20 を接続し、第 1 ラインのゲートバスから順番に時間順次に ON 電圧を供給し、対向電極 15 に 2 系統のシフトレジスタ部 41、44 と電圧増幅部 42、45 とドライバ部 43、46 とから構成されるコモン変動回路 40 を接続し、個々の対向電極 15 に液晶層を介して電気的に接続される全ての画素電極が、TFT

T を介して接続されるゲートバスの ON 電極印加の立ち上がり時に同期して変動し、各画素における書き込み時の極性データ及び液晶セルのオフセット電圧及び実効電圧補正電圧を含む電圧データ V_{cor1A}' 、 $V_{cor2A}' \dots V_{cor1A}'$ 及び V_{cor1B}' 、 $V_{cor2B}' \dots V_{cor1B}'$ を対応する対向電極に供給し、ドレインバスにデータ発生部 31、データ反転部 32、データ出力部 33、34 から構成されるデータ回路 30 を接続する。

【0019】データ回路 30 内のデータ発生部 31 から出力される画像データ 1 を、データ反転部 32 によりライン方向に奇数データと偶数データに分割して交流化信号 1 及び交流化信号 2 と演算し、ライン周期で極性が反転し、ライン方向に隣接する画素が異なる極性となるデータ 2 及びデータ 3 を作成し、データ出力部 A 33 からライン方向に奇数番目のドレインバスに対して、データ出力部 B 34 からライン方向に偶数番目のドレインバスに対して、それぞれ正極性と負極性の電圧データが互いに反転された情報として供給する。

【0020】この場合、図 5 に示すように、データ回路 30 から出力される各ドレインバスの電圧データは、正極性において ON 電圧 V_{on1} 、OFF 電圧 V_{off1} が、負極性において ON 電圧 V_{on2} 、OFF 電圧 V_{off2} が出力され、電圧振幅 ΔV は、図 14 で示される ΔV と同等に設置され、 $\Delta V_{on} = V_{on1} - V_{off1} = V_{on2} - V_{off2} = \Delta V$ の条件で与えられるため、ドレイン電圧の振幅は図 13 の従来例と比較して、ドレイン電圧の振幅 $V_{on} \times 2 + \Delta V$ だけ小さくなる。同様に、ドレイン電圧の振幅が小さくなった分、ゲート電圧の振幅も同程度小さくすることができる。

【0021】一方、コモン変動回路 40 から出力される各対向電極 15 の電圧データは、以下のように構成される。2 系統の回路構成の内、シフトレジスタ A 41 には、図 7 に示すように、第 1 ゲートバスの ON 電圧印加直前に変動し、かつ第 1 ゲートバス選択時に同ゲートバスのライン方向に奇数番目の画素電極の極性データを有する信号 DF と各ゲートバスの ON 電圧印加の立ち上がり時に同期し、かつ、 t_{on} 時間の周期を有するクロック信号 ϕ_c とを供給し、1 クロック分ずつ遅れた出力波形 D_{1A} 、 D_{1B} 、 \dots 、 D_{1N} を作成し、これを電圧増幅部 42 に供給し、オペアンプ OP と抵抗 R_1 と R_2 により R_2 / R_1 倍に反転増幅し、オフセット電圧分とゲートバス選択時の極性補正電圧分を含む所定の電圧振幅を有する電圧信号を作成し、保護抵抗 R_3 とドライバ部 A 43 を介して V_{cor1A}' を第 1 ゲートバスのライン方向に奇数番目の画素電極に対応する対向電極に、 V_{cor1B}' を第 2 ゲートバスのライン方向に奇数番目の画素電極に対応する対向電極に、 V_{cor1A}' を最終ゲートバスのライン方向に奇数番目の画素電極に対応する対向電極に供給する。

【 0 0 2 2 】 また、シフトレジスタ B 4 4 には、図 8 に示すように、シフトレジスタ A 4 1 に供給される D F 信号が反転された信号 D F - N と、クロック信号 ϕ_c とをシフトレジスタ B 4 4 に供給し、出力波形 D_{11} 、 D_{12} 、 \dots D_{1N} を作成し、これを電圧増幅部 4 5 に供給し、シフトレジスタ A 4 1 の出力波形同様にオペアンプ O P と抵抗抵抗 R_1 と R_2 により、 R_2 / R_1 倍に反転増幅し、保護抵抗 R_3 とドライバ部 B 4 6 を介して、 V_{c0111} ' を第 1 ゲートバスのライン方向に偶数番目の画素電極に対応する対向電極に、 V_{c0112} ' を第 2 ゲートバスのライン方向に偶数番目の画素電極に、 V_{c0113} ' を最終ゲートバスのライン方向に偶数番目の画素電極に対応する対向電極に供給する。

【 0 0 2 3 】 なお、ここで出力される V_{c0111} '、 V_{c0112} ' \dots V_{c011N} '、 V_{c0111} '、 V_{c0112} ' \dots V_{c011N} ' は、同等の電圧振幅を有するため、コモン変動回路 4 0 に 2 値出力のドレインドライバを適用することもできる。図 9 は本発明の実施例を示すアクティブマトリクス型薄膜トランジスタ液晶セルの等価回路図、図 1 0 はライン方向に奇数番目の画素電極に供給される本発明の実施例を示すアクティブマトリクス型薄膜トランジスタ液晶パネルの駆動タイミングを示す図、図 1 1 はライン方向に偶数番目の画素電極に供給される本発明の実施例を示すアクティブマトリクス型薄膜トランジスタ液晶パネルの駆動タイミングを示す図である。

【 0 0 2 4 】 図 1 0 及び図 1 1 において、T は各ゲートバスにおける書き込み周期を示し、 t_{on} は各ゲートバスにおける ON 電圧印加時間を示し、全てのゲートバスラインにおける T 及び t_{on} の長さが等しく設定される。液晶セルの電荷保持状態における画素電極の電位変動は、対応する T F T のスイッチング時に T F T の寄生容量 C_{11} により ΔV_{11} ' = $[C_{11} / (C_{11} + C_{1c})] \times (V_{c0111}$ ' - V_{c0112} ') と、書き込み時のドレインバスの電圧が ΔV_{11} ' だけ変動した時に画素電極を挟む 2 本のドレインバスと画素電極との間の容量 C_{0111} と C_{0112} により、 ΔV_{11} ' = $[(C_{0111} + C_{0112}) / C_{1c}] \times \Delta V_{11}$ ' が存在する。

【 0 0 2 5 】 ここで、電位変動 ΔV_{11} ' は全ての画素電極において同等の T F T が形成されていれば、書き込み電圧及びパネル内の位置に関係なく、同極性、同電位の変動であるため、対向電極に供給する電位を ΔV_{11} ' 分だけズラして設定することにより、全ての画素電極と対向電極の間で同等の電圧を保持させることができる。一方、電位変動 ΔV_{11} ' は、 C_{0111} と C_{0112} が等しい場合を除いて、画素電極を挟む 2 本のドレインバスの電位が、書き込み時の電位から変動している期間で発生しているため、変動期間が短い場合と長い場合で、画素電極と対向電極の間の平均実効電圧が変わり、パネル内の位置による輝度ムラの原因となる。

【 0 0 2 6 】 本実施例においては、ライン単位にドレイ

ンバスラインの極性を反転しているため、走査ライン数 N で $T = N \times t_{on}$ とすると、 C_{0111} と C_{0112} が等しい場合を除いて、図 1 0 及び図 1 1 の全てのゲートバスラインの駆動波形において、 $T \times (N / 2)$ の期間 ΔV_{11} ' が発生し、平均実効電圧は ΔV_{11} ' $\times [N / 2 (N - 1)]$ だけ減少するが、全ての画素電極と対向電極の間の平均実効電圧は均一となる。

【 0 0 2 7 】 また、 C_{0111} と C_{0112} が等しい場合以外は、 V_{c0111} '、 V_{c0112} ' \dots V_{c011N} '、

V_{c0111} '、 V_{c0112} ' \dots V_{c011N} ' に供給される電圧波形は、 ΔV_{11} '、 ΔV_{12} '、データの極性及び V_{11} を考慮して、正極性の時は、 V_{c0111} ' - ΔV_{11} - V_{11} - ΔV_{11} ' - ΔV_{11} ' $\times [N / 2 (N - 1)]$ に設定され、負極性の時は、 V_{c0111} ' + ΔV_{11} + V_{11} - ΔV_{11} ' + ΔV_{12} ' $\times [N / 2 (N - 1)]$ に設定された、 $\Delta V + 2 V_{11} + \Delta V_{11}$ ' $\times [N / (N - 1)]$ の変動振幅を有する電圧信号で供給し、実効電圧補正電圧 ΔV_{11} ' $\times [N / (N - 1)]$ を電圧振幅に付加することにより、すべての画素に平均印加電圧 $\Delta V + V_{11}$ を保持させている。このため、データ回路より出力される電圧データの振幅が、 $2 \times V_{11} + \Delta V$ だけ小さくなくても、液晶セルに均一で十分な印加電圧を供給することができる。

【 0 0 2 8 】 なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【 0 0 2 9 】

【発明の効果】 以上、詳細に説明したように、本発明によれば、1 個のゲートバスラインに薄膜トランジスタを介して接続される、ゲートバスライン方向に並んだ画素電極群を 2 個の異なる対向電極に交互に対応させ、対向電極を全ゲートバスライン数の 2 倍設け、各対向電極に供給される V_{c01} 電圧をスイッチングする回路を設け、各対向電極に対応する画素電極と対向配置させ、対応するゲートバスラインの書き込みタイミングに同期して変動し、極性データ、液晶セルのオフセット電圧及び実効電圧補正電圧を含む電圧データとして供給し、かつドレインバスラインに供給される電圧データが、隣接するドレインバスラインで極性が異なり、ライン周期に該電圧データが極性反転し、正極性と負極性の電圧データが互いに反転された情報として供給するようにしたので、液晶セルの平均印加電圧の均一化とゲートバスライン及びドレインバスラインのスイッチングドライバの低耐電圧化を達成することができる。

【 0 0 3 0 】 また、この駆動方法は、ドレインバスラインにアナログ電圧を入力した場合にも、同等の効果が得られるため、アクティブマトリクス型薄膜トランジスタ液晶パネルの階調駆動にも十分適用できる。

【図面の簡単な説明】

【図 1】 本発明の実施例を示すアクティブマトリクス型

薄膜トランジスタ液晶パネルの概略斜視図である。

【図 2】本発明の実施例を示すアクティブマトリクス型薄膜トランジスタ液晶パネルの対向電極の構成を示す図である。

【図 3】本発明の実施例を示すアクティブマトリクス型薄膜トランジスタ液晶パネルの概略ブロック図である。

【図 4】本発明の実施例を示すアクティブマトリクス型薄膜トランジスタ液晶パネルのデータ回路の概略ブロック図である。

【図 5】本発明の実施例を示すアクティブマトリクス型薄膜トランジスタ液晶パネルのドレインバスに供給される電圧データのタイミングを示す図である。

【図 6】本発明の実施例を示すアクティブマトリクス型薄膜トランジスタ液晶パネルのコモン変動回路の概略ブロック図である。

【図 7】本発明の実施例を示すアクティブマトリクス型薄膜トランジスタ液晶パネルのコモン変動回路の動作タイミングチャート 1 である。

【図 8】本発明の実施例を示すアクティブマトリクス型薄膜トランジスタ液晶パネルのコモン変動回路の動作タイミングチャート 2 である。

【図 9】本発明の実施例を示すアクティブマトリクス型薄膜トランジスタ液晶セルの等価回路図である。

【図 10】本発明の実施例を示すライン方向に奇数番目の画素電極に供給されるアクティブマトリクス型薄膜トランジスタ液晶パネルの駆動タイミングを示す図である。

【図 11】本発明の実施例を示すライン方向に偶数番目

の画素電極に供給されるアクティブマトリクス型薄膜トランジスタ液晶パネルの駆動タイミングを示す図である。

【図 12】従来のアクティブマトリクス型薄膜トランジスタ液晶パネルの構成図である。

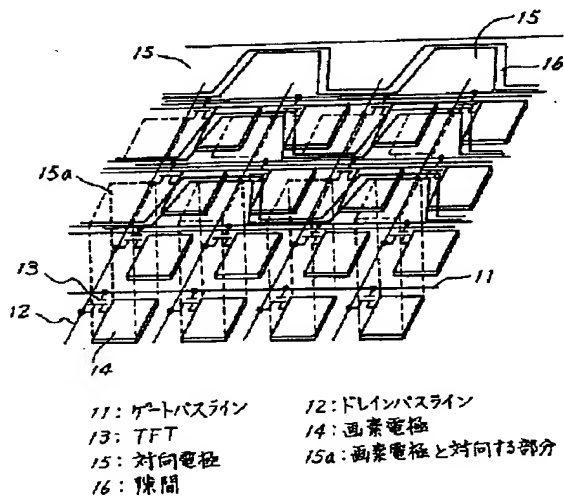
【図 13】従来のアクティブマトリクス型薄膜トランジスタ液晶パネルの駆動タイミングチャートを示す図である。

【図 14】従来の TN 液晶セルの電気-光学特性を示す図である。

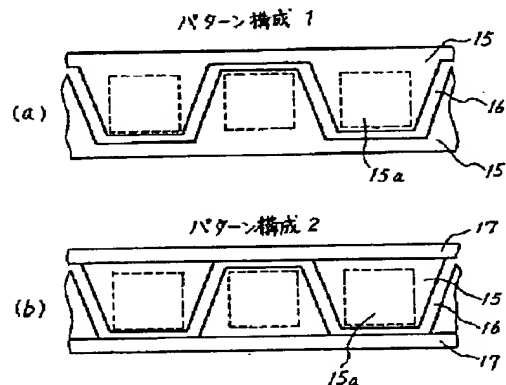
【符号の説明】

- 1 1 ゲートバスライン
- 1 2 ドレインバスライン
- 1 3 薄膜トランジスタ (TFT)
- 1 4 画素電極
- 1 5 対向電極
- 1 5 a 画素電極と対向する部分
- 1 6 隙間
- 1 7 対向電極バス
- 2 0 走査回路
- 3 0 データ回路
- 3 1 データ発生部
- 3 2 データ反転部
- 3 3, 3 4 データ出力部
- 4 0 コモン変動回路
- 4 1, 4 4 シフトレジスタ部
- 4 2, 4 5 電圧増幅部
- 4 3, 4 6 ドライバ部

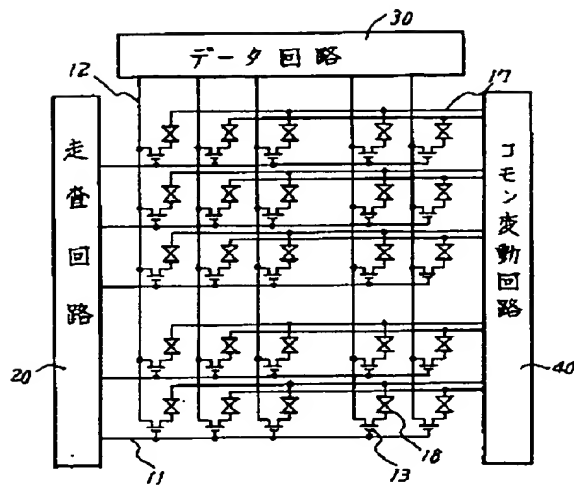
【図 1】



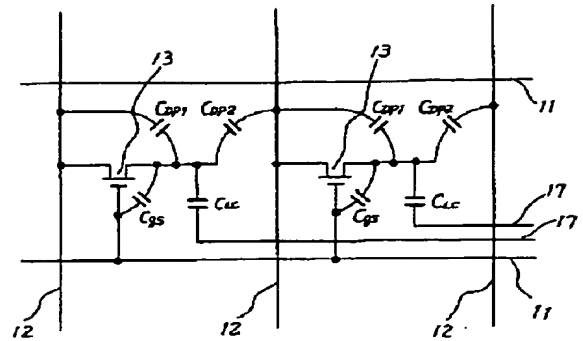
【図 2】



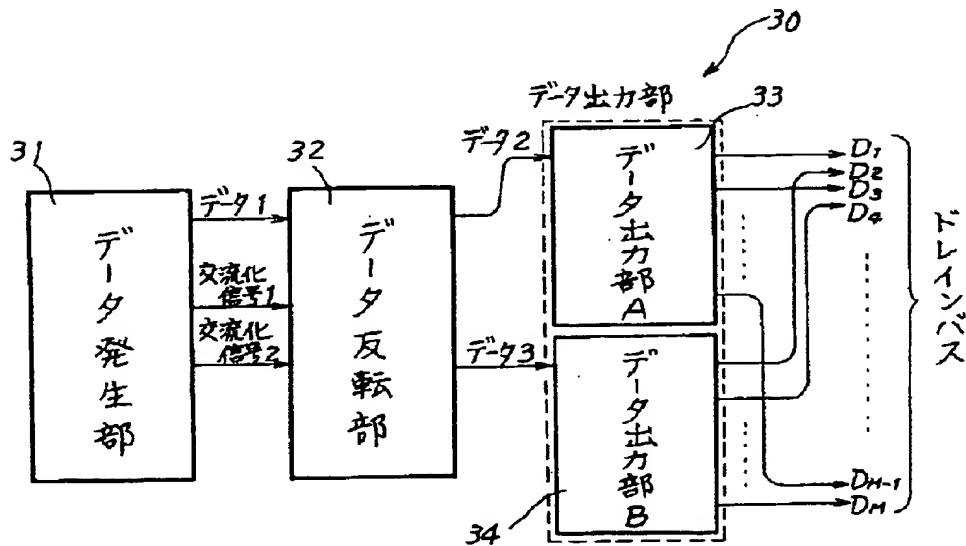
【図 3】



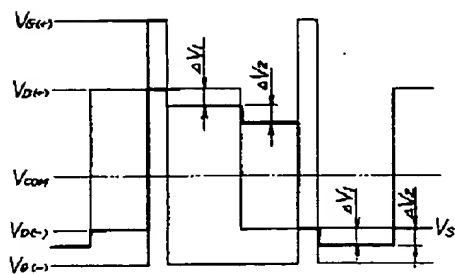
【図 9】



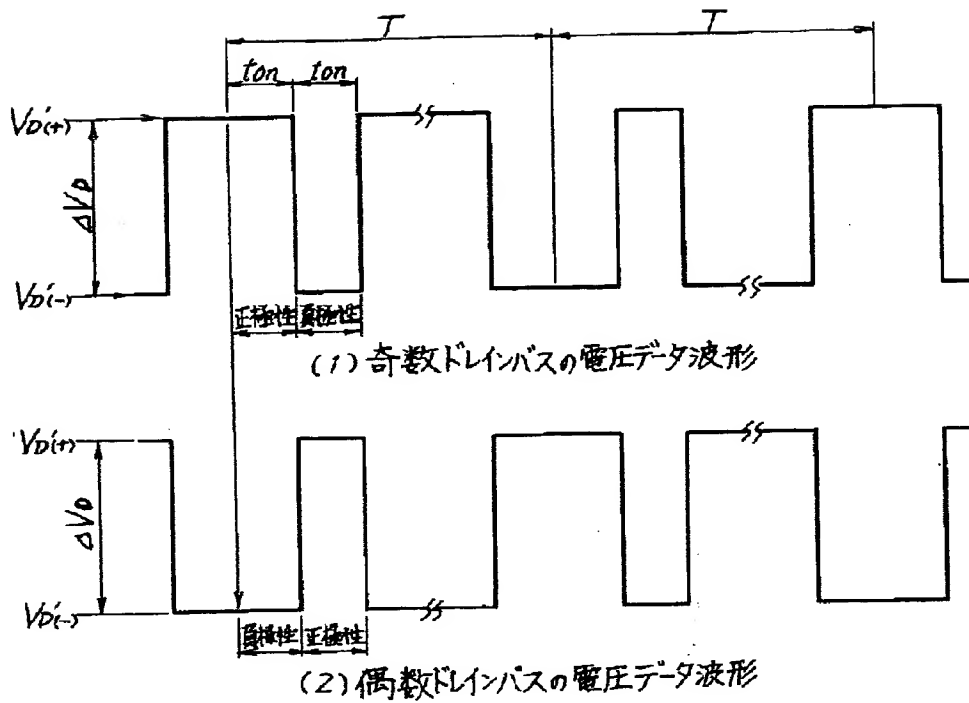
【図 4】



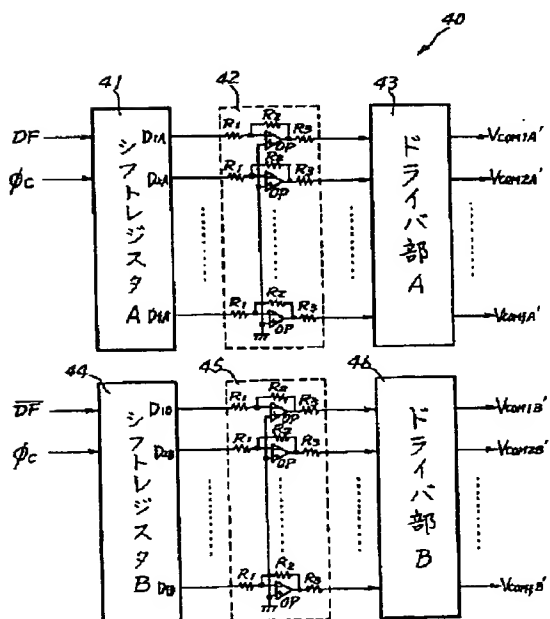
【図 13】



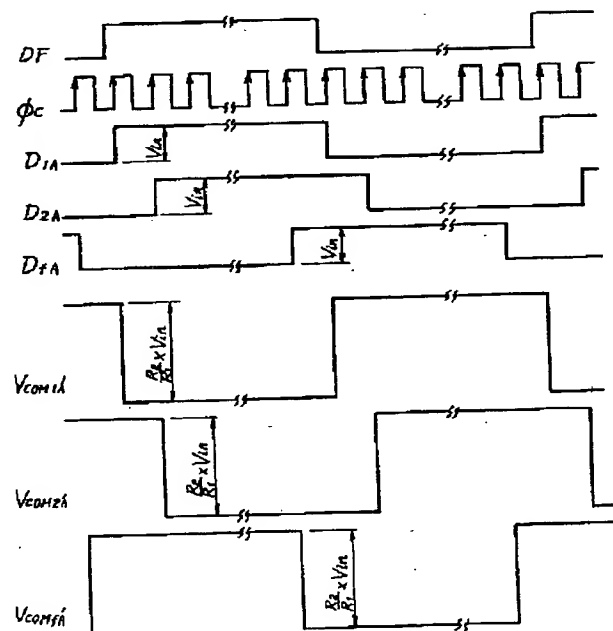
【図 5】



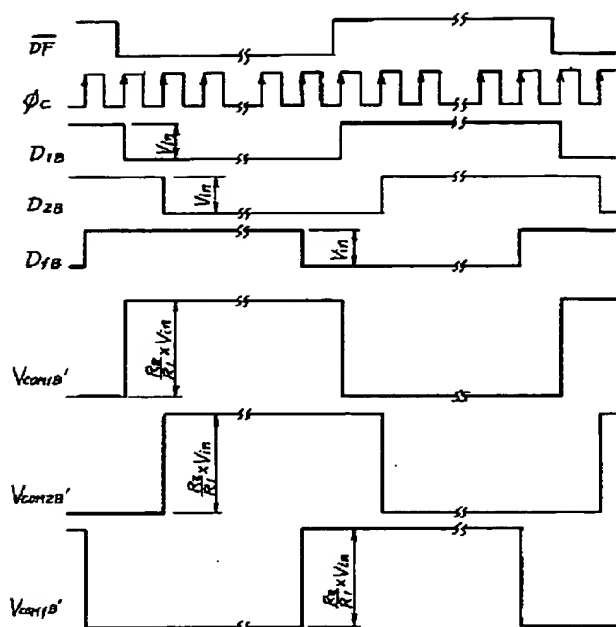
【図 6】



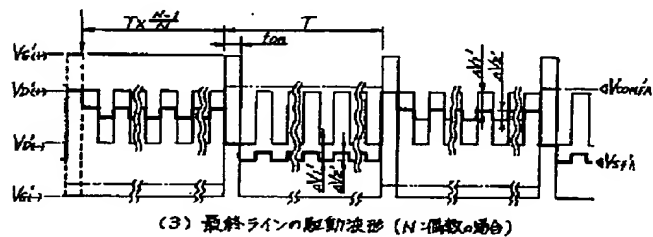
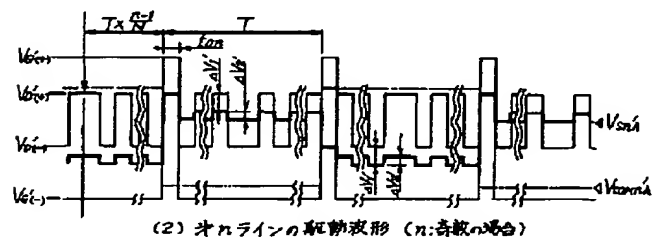
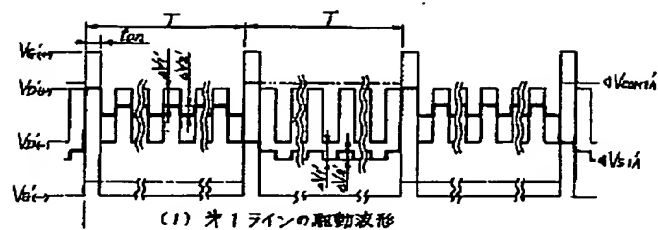
【図 7】



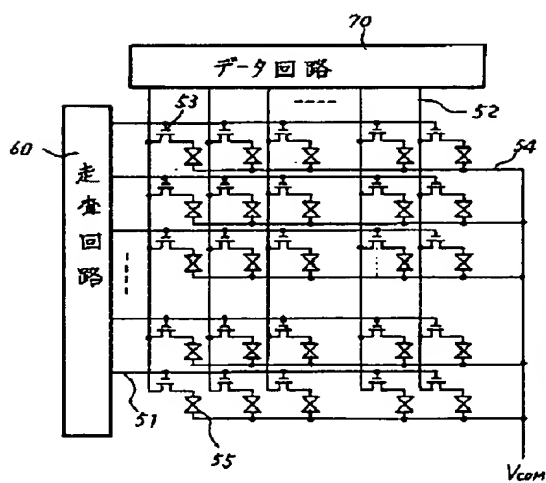
【図 8】



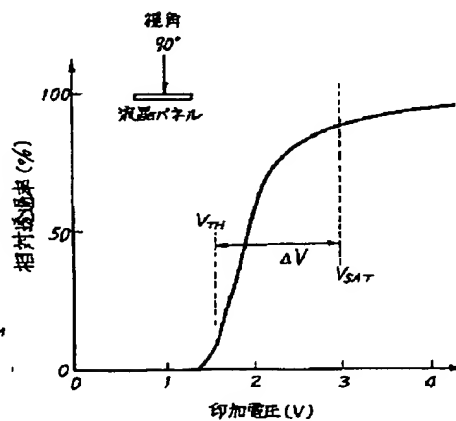
【図 10】



【図 12】

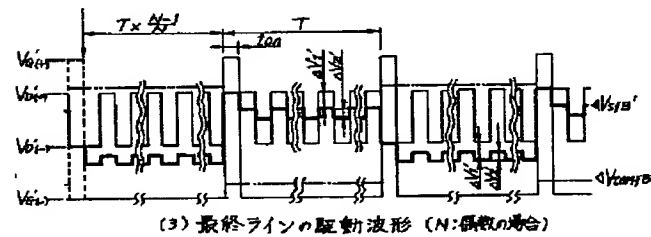
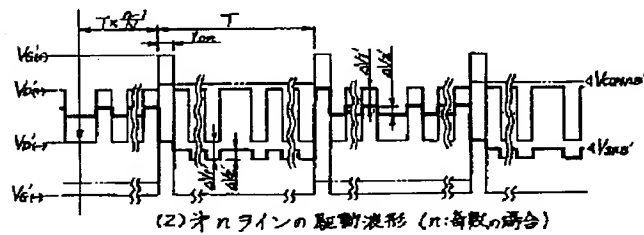
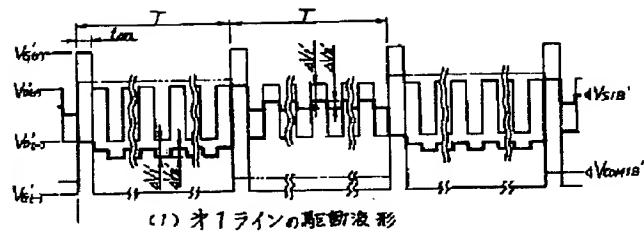


【図 14】



TN液晶セルの電気-光学特性

【図 1 1】



フロントページの続き

(72) 発明者 中村 幸夫
東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電
気工業株式会社内